

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-213894

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 27/04			H 01 L 27/04	L
	21/822		H 01 F 17/00	B
H 01 F 17/00			H 02 M 1/14	
H 01 G 4/40			H 03 H 7/09	A
H 02 M 1/14			H 01 G 4/40	3 2 1 A

審査請求 未請求 請求項の数 5 FD (全 7 頁) 最終頁に続く

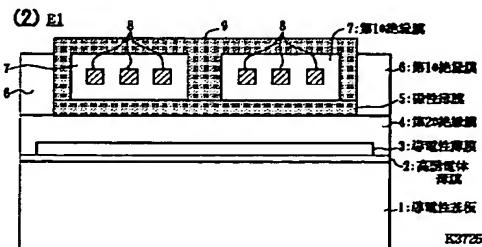
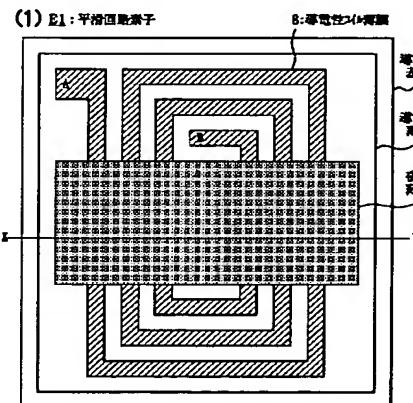
(21)出願番号	特願平8-44157	(71)出願人 000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日	平成8年(1996)2月6日	(72)発明者 谷内 利明 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(72)発明者 三野 正人 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(72)発明者 塚本 一男 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(74)代理人 弁理士 川久保 新一 最終頁に続く

(54)【発明の名称】 平滑回路素子

(57)【要約】

【課題】 カード内に内装できる厚さ0.5mm程度の平滑回路素子を提供することを目的とするものである。

【解決手段】 導電性基板と高誘電体薄膜と導電性薄膜とで構成されるコンデンサを薄膜技術によって形成し、上記コンデンサ上に絶縁膜を介して、磁性薄膜と絶縁膜と導電性コイル薄膜とで構成されるインダクタを薄膜技術によって形成するものである。



【特許請求の範囲】

【請求項1】 コンデンサとインダクタとの直列回路で構成される平滑回路素子において、導電性基板と高誘電体薄膜と導電性薄膜とで構成されたコンデンサと；磁性薄膜と第1の絶縁膜と導電性コイル薄膜とで構成されたインダクタと；上記コンデンサと上記インダクタとの間に設けられている第2の絶縁膜と；を有することを特徴とする平滑回路素子。

【請求項2】 請求項1において、上記導電性コイル薄膜が渦巻き状に形成され、この渦巻き状導電性コイル薄膜の中央部端が上記コンデンサを構成する導電性薄膜と接続されていることを特徴とする平滑回路素子。

【請求項3】 請求項1において、上記導電性基板に溝が形成され、上記溝を覆うように高誘電体薄膜が形成されていることを特徴とする平滑回路素子。

【請求項4】 請求項3において、上記溝は、上記導電性基板の辺に垂直に設けられている複数の四角形の溝であることを特徴とする平滑回路素子。

【請求項5】 請求項3において、上記溝は、複数の円状の溝であり、上記導電性基板の辺と垂直方向に列状に配置されているものであることを特徴とする平滑回路素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源に用いる平滑回路素子に関するものである。

【0002】

【従来の技術】パーソナルコンピュータや携帯電話等の電子機器では、商用電源や電池からの電力を、電子回路が必要とする電圧に変換して供給するスイッチング電源が一般に用いられている。

【0003】図6は、従来のスイッチング電源回路を示す回路図である。

【0004】図6に示すスイッチング電源回路は、スイッチング回路、整流回路、平滑回路素子で構成されている。

【0005】平滑回路素子は、インダクタとコンデンサとで構成され、従来の平滑回路素子では、それぞれ個別のインダクタ、コンデンサが用いられている。インダクタとしては、フェライトコアに巻線が施されたものや、フェライト内にコイル部が形成されているいわゆるチップインダクタが用いられている。また、コンデンサとしては、誘電性セラミックと導電薄膜とを積層にしたいわゆるセラミックコンデンサ等が用いられている。これらは、たとえば、「T. Serada, et al., "Small, Highly Efficient Battery Input Type 1 W Class DC-DC Converters," Proceedings of IPEC-Yokohama '95, pp.417-42

1, April 3-7, 1995.」に記載されている。

【0006】一方、L S I等の高集積化によって電子機器の電子回路部の小型化は急激に進展し、カードコンピュータやカード電話の実現が期待されている。これら電子機器に用いるスイッチング電源においても小型化や薄形化の要望が極めて強い。

【0007】

【発明が解決しようとする課題】しかし、従来のスイッチング電源において、半導体素子で構成されているスイッチング回路や整流回路が使用され、このような半導体素子で構成されている回路の厚さは0.5mm程度を実現でき、これらをカードに内装することができるが、しかし、チップインダクタや積層セラミックコンデンサによって平滑回路素子を構成した場合、その厚さが3mm以上にも及び、その平滑回路素子をカード内へ内装することは困難であるという問題がある。

【0008】本発明は、カード内に内装できる厚さ0.5mm程度の平滑回路素子を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明は、導電性基板と高誘電体薄膜と導電性薄膜とで構成されるコンデンサを薄膜技術によって形成し、上記コンデンサ上に絶縁膜を介して、磁性薄膜と絶縁膜と導電性コイル薄膜とで構成されるインダクタを薄膜技術によって形成するものである。また、本発明は、コンデンサの容量を増しチップサイズを小さくするために、導電性基板に溝を形成してコンデンサ面積を増大したものである。さらに、本発明は、コンデンサの導電性薄膜で構成されている電極と、渦巻き状導電性コイル薄膜の中央部コイル端とが接続されているものである。

【0010】

【発明の実施の形態および実施例】図1は、本発明の一実施例である平滑回路素子E 1の説明図である。図1(1)は、その平面図であり、図1(2)は、図1(1)のX-Y線から見た断面図である。

【0011】平滑回路素子E 1は、導電性基板1と、高誘電体薄膜2と、導電性薄膜3と、第2の絶縁膜4と、磁性薄膜5、9と、第1の絶縁膜6、7と、導電性コイル薄膜8とが設けられている。

【0012】つまり、平滑回路素子E 1は、導電性基板と高誘電体薄膜と導電性薄膜とで構成されたコンデンサと、磁性薄膜と第1の絶縁膜と導電性コイル薄膜とで構成されたインダクタと、上記コンデンサと上記インダクタとの間に設けられている第2の絶縁膜とを有し、上記コンデンサと上記インダクタとの直列回路で構成される平滑回路素子である。

【0013】導電性基板1として、たとえば低抵抗シリコン基板、低抵抗ゲルマニウム基板等が用いられ、高誘電体薄膜2として、BST (Ba_{1-x} Sr_x TiO₃)

₃) 、 STO (SrTiO₃) 、 BTO (BaTiO₃) 、 PLZT (Pb_{1-x}La_xZr_{1-y}Ti_yO₃) 、 PZT (PbZr_{1-x}Ti_xO₃) 等が用いられ、導電性薄膜3として、Al、W、Mo、Pt、Au、Cu等が用いられている。また、第2の絶縁膜4として、酸化シリコン、窒化シリコン、ポリイミド等が用いられ、磁性薄膜5、9として、CoZrTa、CoZrRe、CoFeSiB、CoZrNb、CoFeAlN、FeSiB、FeAlN、FeAlBO、FeAlO、FeBO、FeBN、パーマロイ等が用いられ、第1の絶縁膜6、7として、酸化シリコン、窒化シリコン、ポリイミド等が用いられ、導電性コイル薄膜8として、Cu、Al等が用いられている。

【0014】次に、平滑回路素子E1の製法の一例について説明する。

【0015】まず、導電性基板1の厚さを0.2~0.4mm程度にし、その比抵抗を0.5mΩ·cm程度にした低抵抗シリコン基板を構成し、この導電性基板1上に、スパッタ法でBST薄膜等の高誘電体薄膜2を厚さ0.1~0.2μm程度堆積し、800度程度で熱処理を施す。BST膜の堆積には、CVD法やゾルゲル法等を用いてよい。また、BST膜堆積前に、50mm厚さ程度の酸化イリジウム等のバッファ層を設けてよい。その後、スパッタ法、蒸着法等でCu等を厚さ1~5μm程度堆積し、パターニングを行い、導電性薄膜3を形成する。

【0016】そして、スパッタ法、プラズマCVD法等で酸化シリコン膜等を、導電性薄膜3に厚さ5~10μm程度堆積させることによって、第2の絶縁膜4を形成する。この第2の絶縁膜4を形成する場合、バイアススパッタ法やエッチバック法を用いて、平坦化も併せて行う。そして、CoZrTa等をイオンビームスパッタ法等によって厚さ5~10μm程度堆積し、パターニングを行うことによって、磁性薄膜5を形成する。

【0017】さらに、酸化シリコン膜等をスパッタ法、プラズマCVD法等で堆積することによって、第1の絶縁膜6、7の一部を形成する。その後、導電性薄膜3と導電性コイル薄膜8とを接続するためのコンタクトホールを形成する。この場合、第1の絶縁膜6、7と第2の絶縁膜4とをイオンビームエッティング法、反応性イオンエッティング法等で加工して、渦巻き状導電性コイル薄膜8の中央部端Bの位置に、上記コンタクトホールを形成する。次に、Cu等をスパッタ法、蒸着法等によって厚さ5~10μm程度堆積し、パターニングを行うことによって、導電性コイル薄膜8を形成する。

【0018】そして、酸化シリコン等をスパッタ法、プラズマCVD法等によって5~10μm程度堆積することによって、第1の絶縁膜6、7を形成する。平坦化処理を施した後、磁性薄膜5と接続する位置に、コンタクトホールを形成し、CoZrTa等をスパッタ法、イオ

ンビームスパッタ法等によって厚さ5~10μm程度堆積し、パターニングを行うことによって、磁性薄膜9を形成する。最後に、導電性コイル薄膜8の端子位置A、Bに、コンタクトホールを形成すれば、厚さ0.5mm以下である平滑回路素子E1を得ることができる。

【0019】平滑回路素子E1は、5mm角程度のチップで、容量が約1μFでインダクタンスが3μHの素子を得ることができる。

【0020】また、導電性基板1と高誘電体薄膜2と導電性薄膜3とで構成されているコンデンサと、磁性薄膜5と第1の絶縁膜6、7と渦巻き状導電性コイル薄膜7とで構成されているインダクタとが、チップ中央部で接続されているので、コンデンサに内在する等価直列抵抗(ESR)を低減することができる。

【0021】図6で示したスイッチング電源回路に平滑回路素子E1を適用すれば、厚さ0.5mm以下でカードに内装が可能で、かつ出力電圧3.3Vで数Wの電力供給が可能になる。

【0022】図2は、本発明の他の実施例である平滑回路素子E2の説明図である。図2(1)は、その平面図であり、図2(2)は、図2(1)のX-Y線から見た断面図である。

【0023】平滑回路素子E2は、導電性基板1と、高誘電体薄膜2と、導電性薄膜3と、第2の絶縁膜4と、磁性薄膜5、9と、第1の絶縁膜6、7と、導電性コイル薄膜8とを有する。

【0024】導電性基板1としては、たとえば低抵抗シリコン基板、低抵抗ゲルマニウム基板等が用いられ、この導電性基板1には溝10が形成され、高誘電体薄膜2としては、BST(Ba_{1-x}Sr_xTiO₃)、STO(SrTiO₃)、BTO(BaTiO₃)、PLZT(Pb_{1-x}La_xZr_{1-y}Ti_yO₃)、PZT(PbZr_{1-x}Ti_xO₃)等が用いられ、導電性薄膜3としては、Al、W、Mo、Pt、Au、Cu等が用いられている。

【0025】また、第2の絶縁膜4としては、酸化シリコン、窒化シリコン、ポリイミド等が用いられ、磁性薄膜5、9としては、CoZrTa、CoZrRe、CoFeSiB、CoZrNb、CoFeAlN、FeSiB、FeAlN、FeAlBO、FeAlO、FeBO、FeBN、パーマロイ等が用いられ、第1の絶縁膜6、7としては、酸化シリコン、窒化シリコン、ポリイミド等が用いられ、導電性コイル薄膜8としては、Cu、Al等が用いられている。

【0026】次に、平滑回路素子E2の製法の一例について説明する。

【0027】まず、導電性基板1の厚さを0.2~0.4mm程度にした低抵抗シリコン基板を構成し、この導電性基板1上に、反応イオンエッティング法、スパッタエッティング法等によって、深さ3~10μm程度の溝10を

形成し、上記導電性基板1上にスパッタ法、CVD法等でBST膜等の高誘電体薄膜2を、厚さ0.1~0.2μm程度堆積し、800度程度で熱処理を施す。BST膜体積前に、酸化イリジウム等のバッファ層を設けるようにしてもよい。溝部10のステップカバレジをよくするために（溝側壁に設けられた膜にピンホール等が発生することによって耐圧が減少しないようにするために）、溝側壁に傾斜を付与したり、溝の角部に曲線を付与することも有効である。その後は、平滑回路素子E1で説明した製法と同様に製造すれば、厚さ0.5mm以下の平滑回路素子E2を得ることができる。

【0028】次に、実施例2における溝の形成パターンの例を、図3、図4、図5に示す。

【0029】図3は、平滑回路素子E2における溝形成パターンの一例を示す図である。

【0030】図3に示す溝形成パターンにおいては、図1、図2における導電性薄膜3と導電性コイル薄膜8とを接続するコンタクトホール11を中心に、チップの四隅に向う部分に溝10を形成しない部分が設けられ、しかもチップの辺に垂直に溝10が形成されている。つまり、溝10は、導電性基板1の辺に垂直に設けられている複数の四角形の溝である。このように溝10を設けることによって容量が増加し、また、コンタクトホール11を中心にチップの四隅に向う部分に溝10を形成しない部分を設けることによって、溝10を横断せずに、チップ周辺まで導電性薄膜3を形成できるので、溝横断による抵抗の増大を防ぐことができ、コンデンサに内在する等価直列抵抗（ESR）が増大する事がない。

【0031】図4は、平滑回路素子E2における他の溝10aの形成パターンの例を示す図である。

【0032】図4に示す溝10aの形成パターンにおいては、導電性薄膜3と導電性コイル薄膜8とを接続するコンタクトホール11を中心に、チップの四隅に向う部分に溝10aを形成しない部分が設けられ、しかもコンタクトホール11の長辺に平行に溝が形成され、コンタクトホール11の長辺に平行なチップの辺に向う領域では、溝バタンが適度に短く切断され、このようにすることによって、チップ周辺まで溝を横断することなく導電性薄膜を形成でき、コンデンサに内在する等価直列抵抗（ESR）の増大が抑制されている。

【0033】図5は、平滑回路素子E2における別の溝10bの形成パターンの例を示す図である。

【0034】溝10bの形成パターンは、複数の円状の溝であり、導電性基板1の辺と垂直の方向に列状に配置されているものである。このように溝を形成することによって、上記各溝バタンと同様に、チップ周辺まで溝を横

断することなく、導電性薄膜を形成できるので、コンデンサに内在する等価直列抵抗（ESR）の増大が抑制される。

【0035】たとえば、図3に示した平滑回路素子E2では、5mm角程度のチップで溝深さを5μmとし、溝パターン間隔を10μmラインアンドスペースとすると、図1に示す平滑回路素子E1と比較すると、約1.5倍の容量である約1.5μFを得ることができる。これによって、電力供給能力を増大することができる。

【0036】なお、図5に示す平滑素子における溝10bによる壁面の面積が、図3における溝10による壁面の面積の場合よりも広いので、図3の平滑素子におけるコンデンサの容量よりも、図5の平滑素子におけるコンデンサの容量が大きい。

【0037】

【発明の効果】本発明によれば、スイッチング回路や整流回路を構成する半導体チップと同様に、インダクタとコンデンサとで構成され、厚さ0.5mm程度のチップで平滑回路素子を提供することができ、したがって、カードに内装できる厚さのスイッチング電源を製作することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例である平滑回路素子E1の説明図である。

【図2】本発明の他の実施例である平滑回路素子E2の説明図である。

【図3】平滑回路素子E2における溝形成パターンの一例を示す図である。

【図4】平滑回路素子E2における溝形成パターンの他の例を示す図である。

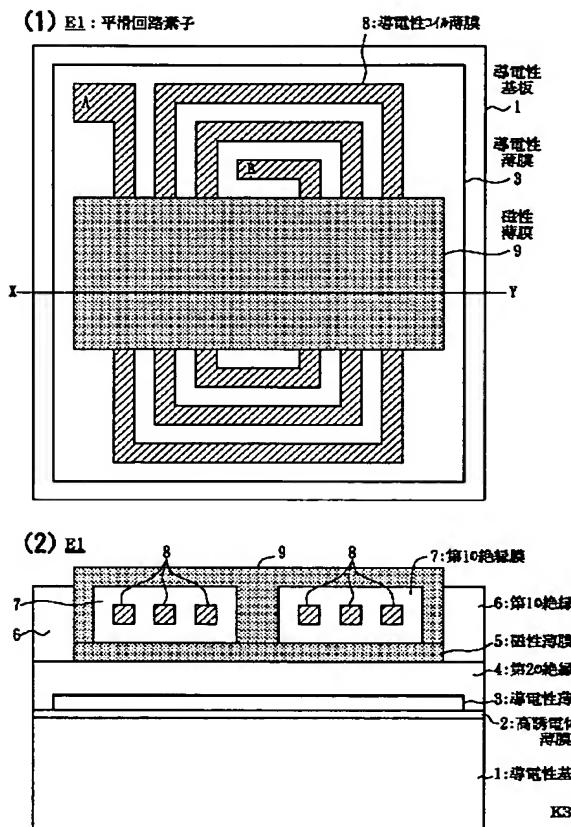
【図5】平滑回路素子E2における溝形成パターンの別の例を示す図である。

【図6】従来のスイッチング電源回路を示す回路図である。

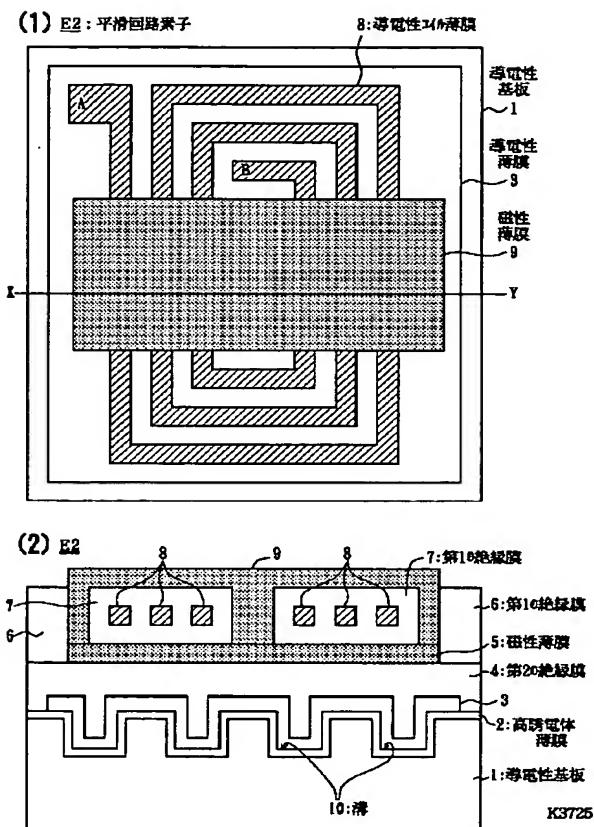
【符号の説明】

E1、E2…平滑回路素子、
1…導電性基板、
2…高誘電体薄膜、
3…導電性薄膜、
4…第2の絶縁膜、
5…磁性薄膜、
6、7…第1の絶縁膜、
8…導電性コイル薄膜、
9…磁性薄膜、
10、10a、10b…溝、
11…コンタクトホール。

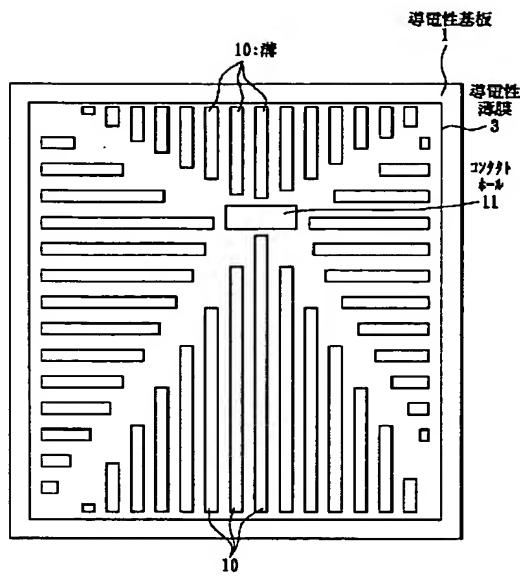
【図1】



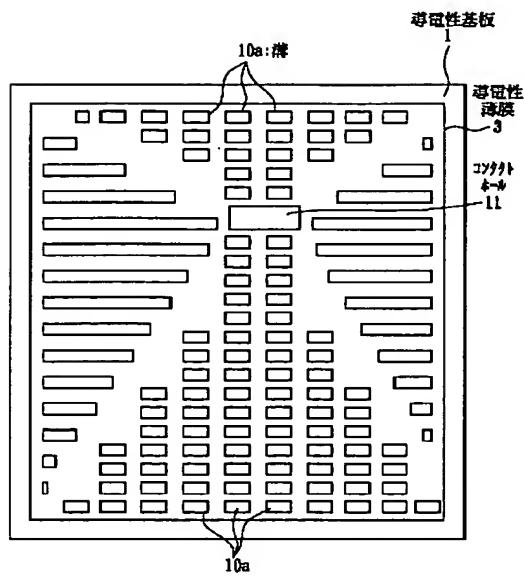
【図2】



【図3】



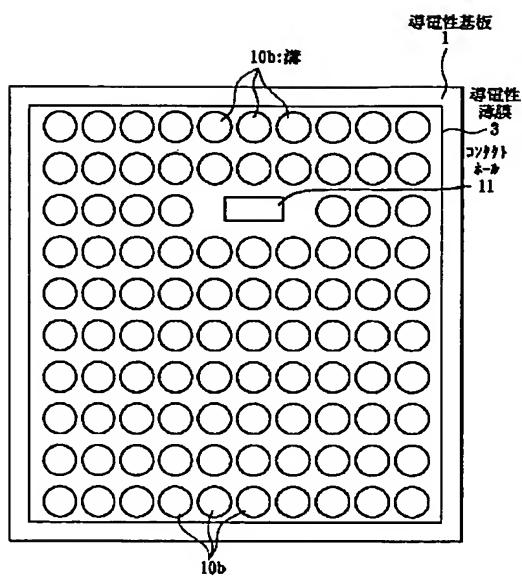
【図4】



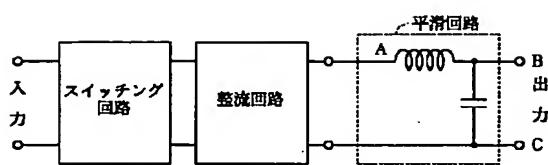
K3726

K3726

【図5】



【図6】



E3725

E3725

フロントページの続き

(51) Int. Cl. 6

H 03 H 7/09

識別記号

庁内整理番号

F I

H 01 L 27/04

技術表示箇所

C

(72) 発明者 柳沢 佳一

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内